

文章编号:1007-5321(2021)04-0135-06

DOI:10.13190/j.jbupt.2020-239

Open ROADM 标准 OFEC 码在 300 Gbit/s FPGA 系统中的验证

吴 江¹, 许克锋¹, 李允博²

(1. 中国移动通信集团有限公司 采购共享服务中心, 北京 100045; 2. 中国移动通信集团有限公司 研究院, 北京 100045)

摘要: 通过研究开放性可重构光分插复用器 (Open ROADM) 标准中 OFEC 码的结构和编译码算法, 确定了影响 OFEC 码算法的性能和实现复杂度的关键参数, 并通过业界速率最高的 300 Gbit/s 现场可编程门阵列 (FPGA) 验证平台, 对不同译码方案在输出误码率为 10^{-15} 的性能进行了验证和误码平层分析, 对 OFEC 码在超低误码率下的性能进行了准确评估。

关键词: OFEC 码; 现场可编程门阵列; 误码平层; 高速光传输

中图分类号: TN913

文献标志码: A

Verification of OFEC Code under Open ROADM Standard in 300 Gbit/s FPGA System

WU Jiang¹, XU Ke-feng¹, LI Yun-bo²

(1. China Mobile Communications Company Limited, Beijing 100045, China;

2. Procurement Shared Service Center, Research Institute of China Mobile Communications Company Limited, Beijing 100045, China)

Abstract: Through studying open forward error correction code (OFEC) code structure and encoding/decoding algorithm in open reconfigurable add drop multiplexor (ROADM) standard, the key parameters that influence OFEC performance and implementation complexity are determined. Employing state-of-the-art field programmable gate array emulations platform with a record 300 Gbit/s throughput, the performance of different decoding schemes is evaluated, and the error floor is analyzed at a bit error ratio below 10^{-15} , which makes the performance evaluation more accurate.

Key words: open forward error correction code; field programmable gate array; error floor; high-speed optical transmission

前向纠错 (FEC, forward error correction) 码是影响高速光传输系统接收机光信噪比指标的关键因素, 随着传输速率和传输距离要求的不断提高, 其在系统中的作用也越来越重要。目前应用在高速光传输系统中的软判决 FEC 主要有 Turbo 乘积码 (TPC, Turbo product code)^[1-2] 和低密度奇偶校验 (LDPC, low density parity check) 码^[3-4], 它们又可分为分组

和卷积形式, 如在分组 TPC 的基础上具有卷积特性的 braided 码^[5] 以及在分组 LDPC 码的基础上具有卷积特性的卷积 LDPC 码^[6-7]。

OFEC (open forward error correction) 是一种改进型的 braided 码, 具有低时延、低实现复杂度和高净编码增益 (NCG, net coding gain) 等特点, 被开放性可重构光分插复用器 (open ROADM, open recon-

收稿日期: 2020-12-07

作者简介: 吴 江 (1986—), 男, 工程师, E-mail: wujiangcg@chinamobile.com.

figurable add drop multiplexor)标准^[8]和国际电信联盟电信标准分局 (ITU-T, international telecommunication union telecommunication standardization sector) 450 km^[9]互联互通标准选择为线路侧 FEC 码. 但各大厂商和研究机构在评估 OFEC 码的纠错能力时, 基本采用软件仿真和外推的方法评估输出误码率为 10^{-15} 时的纠错门限, 而这种方法存在仿真数据量不足和测试不准确的问题, 所以急需采用更有效的方法来研究 OFEC 码在输出误码率为 10^{-15} 时的纠错性能和误码平层现象.

通过研究 OFEC 码的结构特点, 分析其编码和译码算法, 给出影响 OFEC 码译码器实现复杂度和纠错性能的决定因素, 再结合业界验证速率最高的 300 Gbit/s 现场可编程门阵列 (FPGA, field programmable gate array) 集群系统, 验证不同译码方案在输出误码率为 10^{-15} 时的纠错能力和是否有误码平层现象, 给出实现复杂度和纠错性能折中的最佳译码方案.

1 OFEC 码编译码原理

Open ROADM 标准中的 OFEC 码以 (256, 239) BCH (Bose-Chaudhuri-Hocquenghem) 码为基础码, 通过适当的交织方式使其具有卷积形式, 以获得优异的纠错性能, 译码器采用 3 次软判决译码加 2 次硬判决译码的迭代译码算法, 在输入误码率为 2.0×10^{-2} 时, 输出误码率可以到 10^{-15} 以下, 在 16 正交幅度调制 (QAM, quadrature amplitude modulation) 格式下达到的 NCG 为 11.6 dB^[8].

1.1 OFEC 码编码

OFEC 码编码器缓存区的结构如图 1(a) 所示, 其中, 行数为 352 (22×16), 列数 N 为 128. 编码器每次输入 3 552 (32×111) 个数据, 输出 4 096 (32×128) 个数据. 为便于描述, 用大小为 $B \times B$ ($B = 16$) 的方格对缓存区进行划分. 用 R 表示某方格所在的行索引, 取值范围为 $R = 0, 1, 2, \dots, 21$; C 表示其所在的列索引, 取值范围为 $C = 0, 1, 2, \dots, 7$; r 表示某数据在方格中的行索引, 取值范围为 $r = 0, 1, 2, \dots, 15$; c 表示某数据在方格中的列索引, 取值范围为 $c = 0, 1, 2, \dots, 15$, 由此, 可用坐标 $\{R, C, r, c\}$ 表示任一数据在编译码缓存区中的位置.

如图 1(a) 所示, 同类型线段表示的数据组成一个完整的 BCH 码字, 因此同一个数据会参与 2 个

BCH 码字的编译码. 用坐标 $\{R, r\}$ 表示某个 BCH 码字, 该码字中第 k ($k = 0, 1, 2, \dots, 2N - 1$) 个数据的位置坐标分 2 种情况讨论:

1) 当 $k < N$, 即该数据位于码字的前半部分时, 其坐标为

$$\{(R \wedge 1) - 2g - 2N/B + 2\lfloor k/B \rfloor, \lfloor k/B \rfloor, (k\%B) \wedge r, r\} \quad (1)$$

2) 当 $k \geq N$, 即该数据位于码字的后半部分时, 其坐标为

$$\{R, \lfloor (k - N)/B \rfloor, r, (k\%B) \wedge r\} \quad (2)$$

其中: $2g$ ($g = 2$) 为保护块的大小, $\lfloor \cdot \rfloor$ 表示向下取整, $(a\%b)$ 表示 a 对 b 取模, $(a \wedge b)$ 表示 a 和 b 进行按位异或.

对输入的 32 个长度为 111 bit 的数据进行编码时, 首先确定该数据所对应码字的 R 及 r 值; 然后根据式 (1) 从缓存区中选取相应的数据作为 BCH 码字的前半部分, 并且与当前数据组成长度为 239 bit 的信息序列 u , 将信息序列 u 与生成矩阵 G 相乘后得到完整的码字 v , 即

$$v = uG \quad (3)$$

再根据式 (2) 将该码字的后 128 bit 数据填入缓存区中的对应位置.

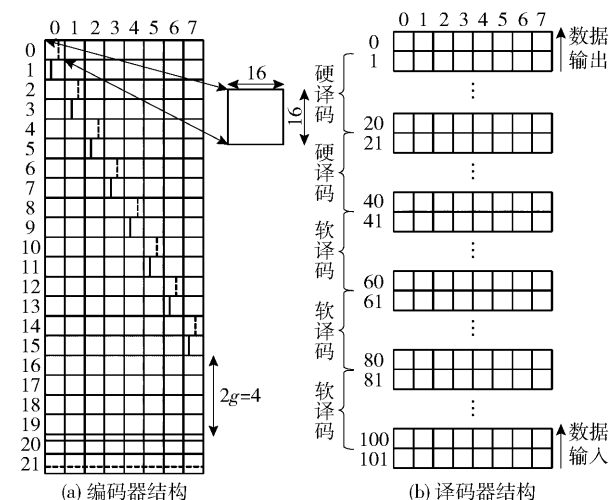


图1 OFEC 码编译码器结构

1.2 OFEC 译码

OFEC 译码器缓存区的结构与编码器类似. 由于采用迭代译码方式, 缓存器行数为 $[20(s + h) + 2]B$, 其中 s 和 h 分别为译码算法中软、硬判决译码的次数.

以 Open ROADM 标准采用的 $s = 3, h = 2$ 译码方

案为例,图1(b)显示了参与每次译码的数据块,其中第100~101行的数据块为刚进入译码器的数据,第0~1行的数据为准备输出的数据。首先根据式(1)和式(2)分别从80~99和100~101块中选择数据作为BCH码的前半部分和后半部分,进行第1次软译码;然后根据式(1)和式(2)分别从60~79和80~81块中选择数据作为BCH码的前半部分和后半部分,进行第2次BCH软译码;然后根据式(1)和式(2)分别从40~59和60~61块中选择数据作为BCH码的前半部分和后半部分,进行第3次软译码;接着根据式(1)和式(2)分别从20~39和40~41块中选择数据作为BCH码的前半部分和后半部分,进行第1次硬译码;最后根据式(1)和式(2)分别从0~19和20~21块中选择数据作为BCH码的前半部分和后半部分,进行第2次硬译码,最后输出第0~1行的数据块。

1.3 Open ROADM 标准 OFEC 码译码分析

OFEC 码软译码采用基于可靠度的软输入软输出(SISO, soft input soft output)译码算法^[10],SISO 软译码的流程如图2所示,包括以下内容:

1) 从当前码字对应的256个对数似然比(LLR, log-likelihood ratio)值中找出绝对值最小的 p 个值及其位置,称为最不可靠位;然后对当前码字的LLR值进行硬判决,得到硬判序列 y ;

2) 构造测试序列 Z_q 和测试图样 T_q ,其中 $Z_q = y \oplus T_q$, \oplus 表示按位异或,共产生 $2q$ 个测试序列;

3) 进行BCH硬译码,包括将测试序列 Z_q 和校验矩阵相乘得到伴随式 S 以及根据伴随式 S 计算错误位置;

4) 根据测试序列的译码结果选择候选码字;

5) 根据选择出的候选码字更新当前码字的LLR值,即外信息更新,之后进行下一次软迭代译码。

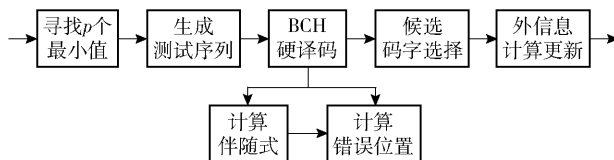


图2 SISO 软译码流程

通过SISO软译码流程可以看到,OFEC码译码器的性能和实现复杂度主要与迭代次数和最不可靠位有关。迭代次数越大,译码性能越好,但译码缓存

区、实现所用硬件资源和译码的时延越大。在迭代译码过程中,由于误码率随着迭代次数逐渐减少,当误码率小到一定程度时,可以由硬输入硬输出(HI-HO, hard input hard output)译码取代SISO译码,既可以大幅降低译码的硬件资源,又可以更好地抑制误码平层。

最不可靠位越大,即选取的最不可靠位越多,信道传输中的错误在测试图样中被纠正的机会越大,译码性能也越好,但同时测试序列的个数也呈指数增长,BCH译码和候选码字选择的实现复杂度更高。

Open ROADM 标准 OFEC 码采用 $s=3, h=2$ 译码方案,其中软译码采用的 p 为8,测试序列共有256个,实现复杂度非常高。各大厂商和研究机构在评估OFEC码的纠错能力时,基本采用软件仿真和外推的方法评估输出误码率为 10^{-15} 时的纠错门限,这种方法的可靠度较低。

笔者提出了改进的译码算法,通过有效降低测试序列的数量大幅降低硬件资源,并且寻找更优的测试序列和迭代次数组合,以达到性能和硬件资源最优;最后通过FPGA集群系统验证了输出误码率为 10^{-15} 时的纠错门限,探究极低误码率下的误码平层现象。

2 FPGA 实现平台

利用FPGA仿真平台实现OFEC码方案的原理如图3所示。该仿真平台一共使用了75片xilinx的ultrascale-XCVU125系列FPGA。在发送侧,数据源模块通过线性反馈移位寄存器(LFSR, linear feedback shift register)产生周期为 $2^{68}-1$ 的伪随机二进制序列,作为原始数据发送给32 bit并行度的OFEC码编码模块。该编码模块由2个OFEC码编码器组成,每个编码器都采用BCH(256, 239)编码。编码模块输出的数据进入块交织器中,包含块内和块间交织,之后再与块交织器输出的32 bit数据进行16QAM符号映射。

为了模仿加性高斯白噪声(AWGN, additive white Gaussian noise)信道,利用BM(Box-Muller)算法的高斯变量生成器(GVG, Gaussian variate generator)^[11-12]生成32路不相关联的噪声,添加到32路16QAM调制后的数据上,数字噪声的数据位宽为48 bit。可配信噪比(SNR, signal noise ratio)精度为

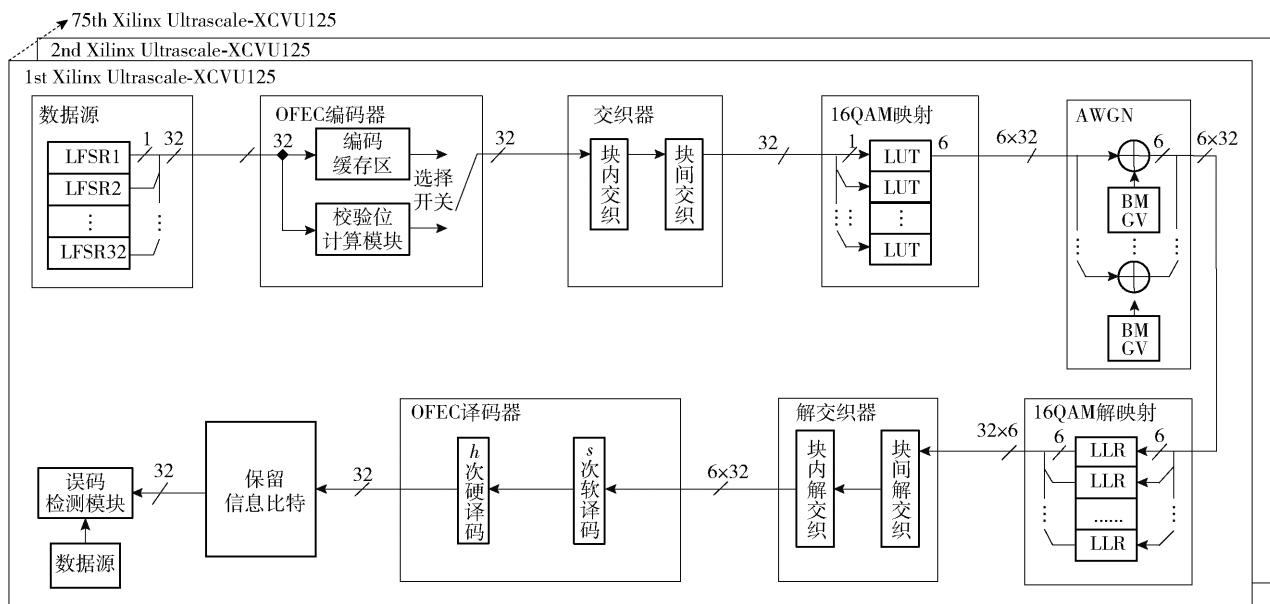


图3 在FPGA上实现OFEC码的仿真系统

0.005 dB,该可配信噪比能确保精确模拟满足高斯白噪声分布的噪声以及稳定控制的 SNR^[13].

在接收侧,首先进行 16QAM 符号解映射,将收到的信息转换成 6 bit 位宽的对数似然比(LLR, log-likelihood ratio)软判信号,再送到将错误分布离散化的块解交织模块;之后进入 OFEC 码译码模块,进行 s 次 SISO 和 h 次 HIHO 译码;最后进行误码统计.译码时钟为 125 MHz,单片 FPGA 的吞吐量为 4 Gbit/s,整个 FPGA 仿真平台的速率为 300 Gbit/s,如图 4 所示.

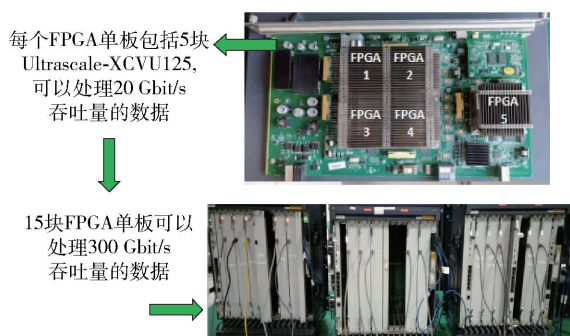


图4 300 Gbit/s FPGA 验证平台

为保证仿真结果的可靠性,FPGA 仿真平台在进行性能测试时,输出误码率(BER, bit error rate)在 10^{-14} 以上时,要求至少收集 100 个错误;在更低误码率时,要求收集的误码个数在 10 个以上.通过此 FPGA 验证平台,验证输出误码率为 10^{-14} 所需的时间为 56 min,验证输出误码率为 10^{-15} 所需的时间

小于 10 h.

3 仿真结果分析

根据前文分析,OFEC 码的译码性能和实现复杂度取决于迭代次数和最不可靠位.通过深入分析和统计 AWGN 信道传输中的错误落到最不可靠位的概率,可以发现,在最不可靠位为 8 时,4~8 个错误同时落到最不可靠位的概率极低,那么在产生测试图案时,8 个最不可靠位只需进行 0~3 个任意位置的翻转,测试序列可以从 256 个降低到 93 个,在不影响 SISO 译码器性能的基础上,可大幅降低 BCH 译码和候选码字选取的硬件资源.

利用 Verilog HDL 语言实现 OFEC 码编译码,构造不同迭代次数和测试序列的 FPGA 验证版本.图 5 给出了基于 6 个最不可靠位,测试图案任意翻转 3 个以内位置,共 42 组测试序列,经 3 次 SISO 和 2 次 HIHO 译码(记为 C63_3S2H)的每一片 FPGA 资源.其中使用了 533 Kbit 的查找表(LUT, look-up

Resource	Utilization	Available	Utilization %
LUT	533755	716160	74.53
LUTRAM	11896	154560	7.70
FF	698472	1432320	48.77
BRAM	864	2520	34.29
DSP	769	1200	64.08
IO	9	416	2.16
GT	1	80	1.25
BUFG	8	1200	0.67
MMCM	1	20	5.00
PCIe	1	4	25.00

图5 单片FPGA资源消耗

table)、11 Kbit 的 LUT-RAM (random access memory)、698 Kbit 的触发器 (FF, flip flop)、864 个 36 Kbit 的 Block RAM 以及 769 个专用数字信号处理 (DSP, digital signal process) 模块。

在 FPGA 仿真平台中验证了不同 SISO、HIHO 译码迭代次数和测试序列的译码组合方案以及输出误码率在 10^{-15} 时的纠错性能,如图 6 所示。

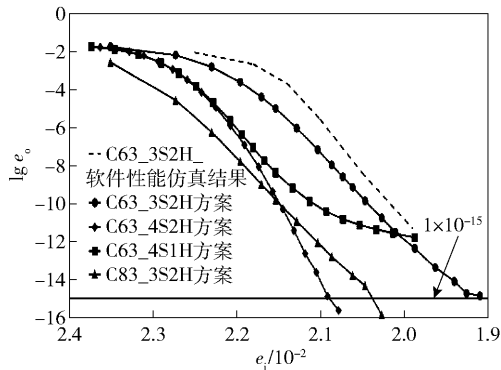


图6 不同译码方案的性能对比

从图 6 可见,在输出 $\text{BER}(e_o)$ 近似为 10^{-15} 时,输入 $\text{BER}(e_i)$ 为 1.91×10^{-2} ,不能达到标准 2×10^{-2} 的要求,且出现了误码缓坡。为了提升输入 $\text{BER}(e_i)$ 性能,在保持缓存区和测试序列不变的情况下,增加 1 次 SISO 译码,就减少 1 次 HIHO 译码。从图 6 所示的 C63_4S1H 方案性能可以观察到,在瀑布区,其性能较 C63_3S2H 方案有明显改善,但在 e_o 为 10^{-12} 时出现较严重的误码平层现象,并且从趋势来看 e_o 很难达到 10^{-15} 。出现误码缓坡和误码平层现象的深层次原因是 OFEC 码采用基于卷积特性的迭代译码算法,卷积特性会增强码字间的相关性,相当于码长的增加使性能得到了提升,但同时也会使误码在码字间传递,更容易出现误码缓坡和误码平层的问题。另外,值得注意的是,误码缓坡和误码平层在软件仿真结果中难以被观察到,这也充分体现了 FPGA 验证平台的必要性。

为了进一步提升纠错门限,达到标准 2×10^{-2} 的要求,提出 2 种译码方案。第 1 种方案是图 6 所示的 C63_4S2H 方案,即不增加测试序列,仅增加 1 次 SISO 译码。可以看到,在 e_o 为 10^{-15} 时, e_i 大于 2.09×10^{-2} ,可以达到标准要求,并且在 e_o 小于 10^{-12} 时,下降趋势依然明显。第 2 种方案为 C83_3S2H 方案,即不增加 SISO 或 HIHO 译码次数,仅增加测试序列的个数到 93。从测试结果看,在 e_o 为

10^{-15} 时, e_i 为 2.02×10^{-2} ,也可以达到标准要求。相对 Open ROADM 互联互通标准建议的基于 256 组测试序列的 3 次 SISO 加 2 次 HIHO 译码方案,笔者提出的第 2 种方案,即基于 93 组测试序列的 3 次 SISO 加 2 次 HIHO 译码方案,在满足标准要求 2×10^{-2} 的前提下,SISO 译码器中占资源比重大的 BCH 译码和候选码字选取模块,其硬件资源降低了 73%,整体译码器的硬件资源下降约 50%。

4 结束语

为了准确评估 OFEC 码在输出误码率为 10^{-15} 时的纠错门限,笔者搭建了业界验证速率最快的 300 Gbit/s FPGA 集群系统。通过该仿真系统分析了影响 OFEC 算法性能和硬件实现复杂度的重要因素,提出了 2 种改进的译码方案。相比于 ITU-T 组织建议的译码方案,所提方案在性能及硬件复杂度上均有一定改善。后续笔者将对 2 种改进的译码方案在硬件实现复杂度,包括系统延时、资源消耗、功耗等方面进行详细对比分析。

参考文献:

- [1] Dave S, Esker L, Mo Fan, et al. Soft-decision forward error correction in a 40nm ASIC for 100 Gbit/s OTN applications[C] // Optical Fiber Communication Conference/National Fiber Optic Engineers Conference 2011. Los Angeles: OSA, 2011: 1-3.
- [2] Sab O A, Lemaire V. Block Turbo code performances for long-haul DWDM optical transmission systems [C] // Optical Fiber Communication Conference. Baltimore: IEEE, 2000: 280-282.
- [3] Tzimpragos G, Kachris C, Djordjevic I B, et al. A survey on FEC codes for 100 G and beyond optical networks [J]. IEEE Communications Surveys and Tutorials, 2016, 18(1): 209-221.
- [4] Kamiya N, Shioiri S. Concatenated QC-LDPC and SPC codes for 100 Gbit/s ultra long-haul optical transmission systems[C] // Optical Fiber Communication Conference. San Diego: OSA, 2010: 1-3.
- [5] Zhang Wei, Lentmaier M, Zigangirov K S, et al. Braided convolutional codes: a new class of Turbo-like codes[J]. IEEE Transactions on Information Theory, 2010, 56(1): 316-331.
- [6] Sugihara K, Miyata Y, Sugihara T, et al. A spatially-coupled type LDPC code with an NCG of 12 dB for optical

- transmission beyond 100 Gbit/s[C]//2013 Optical Fiber Communication Conference and Exposition and the National Fiber Optic Engineers Conference (OFC/NFO-EC). Anaheim: IEEE Press, 2013: 1-3.
- [7] Jimenez Felstrom A, Zigangirov K S. Time-varying periodic convolutional codes with low-density parity-check matrix[J]. IEEE Transactions on Information Theory, 1999, 45(6): 2181-2191.
- [8] Mike A S, Open ROADM MSA 3. 01 W-port digital specification (200G-400G) [S/OL]. (2019-07-03) [2020-11-07]. <http://www.openroadm.org/download.html>.
- [9] ITU-T. Flexible OTN long-reach interfaces: G. 709.3/Y. 1331.3-2018[S/OL]. <https://www.itu.int/rec/T-REC-G.709.3-202012-I/en>.
- [10] Pyndiah R M. Near-optimum decoding of product codes: block Turbo codes[J]. IEEE Transactions on Communications, 1998, 46(8): 1003-1010.
- [11] Alimohammad A, Fard S F, Cockburn B F, et al. A compact and accurate Gaussian variate generator[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2008, 16(5): 517-527.
- [12] Box G E P, Muller M E. A note on the generation of random normal deviates[J]. The Annals of Mathematical Statistics, 1958, 29(2): 610-611.
- [13] Cai Yi, Wang Weiming, Qian Weifeng, et al. FPGA investigation on error-flare performance of a concatenated staircase and hamming FEC code for 400G inter-data center interconnect[J]. Journal of Lightwave Technology, 2019, 37(1): 188-195.