

文章编号:1007-5321(2020)04-0088-07

DOI:10.13190/j.jbupt.2019-235

# 基于 FPGA 的高精度时间数字转换电路设计

戴庆达<sup>1</sup>, 叶茂<sup>1,2</sup>

(1. 天津大学微电子学院, 天津 300072; 2. 天津市成像与感知微电子技术重点实验室, 天津 300072)

**摘要:** 时间数字转换电路(TDC)的分辨率、线性度、温度适应范围等参数指标直接影响着激光雷达系统的测距精度和成像清晰度. 基于 Xilinx Artix-7 系列 28 nm 工艺的现场可编程门阵列(FPGA)芯片,设计了一种以进位链为延时单元的高分辨率双链三路 TDC. 该 TDC 可打破延时单元的分辨率限制,细分进位链中的宽码,具有低成本、高分辨率的优势. 设计了流水线编码电路,以提高逻辑单元的使用效率,采用码密度方案逐一确定 bin 宽的精确值和等效分辨率. 调用 FPGA 中赛灵思的特殊模数转换器(XADC)模块测量芯片温度,进而转换为温度校准系数,修正测量值. 常温(27 °C)下的等效 bin 宽为 5.63 ps,方均根测量数值为 11.7 ps,电路可在 5~85 °C 温度范围内完成温度补偿. 相比于六链延时线 TDC,双链三路 TDC 具有相近的指标参数,并使 FPGA 逻辑资源使用降低约 43.1%,芯片功耗降低约 36.8%.

**关键词:** 现场可编程门阵列; 双链三路时间数字转换电路; 流水线编码器; 码密度方案; 温度补偿  
**中图分类号:** TN959.74      **文献标志码:** A

## Design of Double-Chain Three-Route Time-to-Digital Converter Based on FPGA

DAI Qing-da<sup>1</sup>, YE Mao<sup>1,2</sup>

(1. The School of Microelectronics, Tianjin University, Tianjin 300072, China;

2. Tianjin Key Laboratory of Imaging and Sensing Microelectronic Technology, Tianjin 300072, China)

**Abstract:** The ranging accuracy and image sharpness of radar system are directly related to parameters of time-to-digital converter(TDC), including measurement resolution, linearity, temperature adaptability and so on. A double-chain three-route TDC with high-resolution is designed based on Xilinx 28 nm Artix-7 field programmable gate array(FPGA), which could break the resolution limitation of the single delay tap and effectively subdivide the wide tap. The structure offers significant advantages of low cost and high resolution. The pipeline encoders are designed to economize logic cells. The code density scheme is used to determine the exact value of the bin width one by one and the equivalent resolution. The chip temperature is determined according to the xilinx analog to digital converter module in the FPGA and the temperature calibration coefficient could be obtained to correct the measurement value. Parameter indexes of the TDCs included 5.63 ps equivalent bin width and 11.7 ps root mean square resolution under normal temperature. The compensation is finished in the circuit in the range from 5 °C to 85 °C. Compared with the six-chain delay line TDC, the double-chain three-route TDC has the similar index, which reduces the utilization of logic resources of the FPGA by up to 43.1% and cuts power consumption by up to 36.8% respectively.

收稿日期: 2019-11-09

基金项目: 天津市新一代人工智能科技重大专项项目(18ZXZNGX00230)

作者简介: 戴庆达(1994—), 男, 硕士生, E-mail: daiqingda@126.com; 叶茂(1987—), 男, 副教授.

**Key words:** field programmable gate array; double-chain three-route time-to-digital converter; pipeline encoder; code density scheme; temperature compensation

激光雷达系统通过发射激光束来探测目标物体的轮廓、位置、速度等信息. 激光测距系统的主流方法为飞行时间测量方案<sup>[1]</sup>, 测距信息来源于入射信号与回波信号的时间间隔值. 时间测量精度直接决定测距系统的参数性能. 时间数字转换电路(TDC, time-to-digital converter)作为激光雷达系统的重要模块, 具有高分辨率和线性度好的优势.

计数型 TDC 受限于时钟频率, 实现 ps 级分辨率指标需要太赫兹频率的时钟信号, 这在实际电路中很难实现. 研究人员采用多种方法提升 TDC 分辨率, 包括模拟时间放大法、游标法、抽头延迟线法、Wave Union 等方案.

TDC 采用粗细结合测量方案<sup>[2]</sup>可兼顾宽量程和高分辨率, 如图 1 所示, 基于二进制计数法完成粗时间测量, 在宽量程时间测量中, 可选用格雷码计数来规避亚稳态现象. 时间测量值  $T$  为

$$T = nT_{\text{clk}} + \Delta T_1 - \Delta T_2 \quad (1)$$

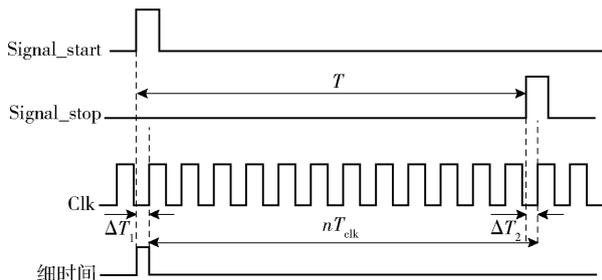


图 1 粗细结合 TDC 时序图

基于现场可编程门阵列(FPGA, field programmable gate array)开发 TDC 具有研发周期短、设计成本低、设计灵活性高等优势. 国内外学者针对 FPGA-TDC 的分辨率、方均根(RMS, root mean square)精度、微分非线性、积分非线性、死区时间、功耗等众多参数进行优化, 提出多种设计方案. 2010年, Bayer 等<sup>[3]</sup>基于 Wave Union A 方案, 在 Virtex-4 FPGA 中完成了 48 通道分辨率为 10 ps 的 TDC. 2014年, Pan 等<sup>[4]</sup>在 30 ps 分辨率 Cyclone FPGA-TDC 中引入了温度补偿方案. 2015年, Shen 等<sup>[5]</sup>基于多链测量平均法有效提升了 TDC 的分辨率, 并通过修改测量链数目实现了分辨率的调整. 2017年, Chen 等<sup>[6]</sup>结合柱状图分布调整 TDL-TDC, 有效提升了测量数据线性度.

笔者针对激光雷达系统中的测时电路, 基于 28 nm 工艺 Artix-7 系列 FPGA 设计 TDC, 具有高分辨率、RMS 精度高、可温度补偿、成本低廉等优势.

## 1 TDC 设计方案分析

### 1.1 传统抽头延迟线结构 TDC

抽头延迟线<sup>[7]</sup>TDC 为 FPGA-TDC 的主流设计方案, 具有分辨率高、线性度好的优势. 如图 2 所示, 在细测量模块, 采用加法器级联的方法构造进位链, 加法器作为基本延时单元, 延时时间决定了 TDC 的分辨率, 各延时单元依次与 D 触发器连接, 记录细时间信号在延时链中传播的位置. 采用温度计编码, 如在 8 位温度计码输出中, D 触发器的初始数据为“11111111”, 细时间信号传入延时链时, 温度计码输入依次发生 1~0 的切换, 细时间测量结束后, D 触发器记录最终测量结果. 例如, 温度计码显示“11111000”, 表明细时间的测量值为 3 个延时单元的延时总和. 根据电路模型分析, 各延时单元延时  $D_{\text{tap}}$  由 4 部分构成<sup>[8]</sup>, 即

$$D_{\text{tap}} = D_l + D_r + D_s + D_c \quad (2)$$

其中:  $D_l$  为无输出负载门延时, 即本征延时;  $D_r$  为输出负载引入的延时;  $D_s$  为输入信号斜率造成的延时;  $D_c$  为门输出端走线延时. 传统抽头延迟线 TDC (TDL-TDC) 分辨率受限于延时单元, 延时单元来源于 FPGA 中各 Slice 配置的加法进位资源. 由芯片版图可知, 各 Slice 之间存在较大的走线延时, 这降低了 TDC 测量线性度, DNL/INL 等指标参数也会恶化.

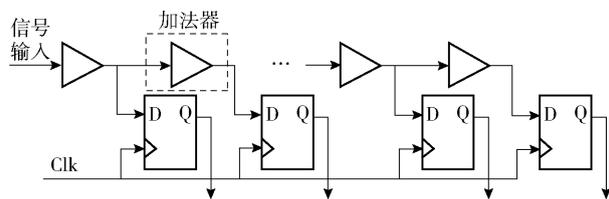


图 2 抽头延迟线 TDC 工作原理

### 1.2 双链三路 TDC 结构分析

为实现 TDC 分辨率、RMS 精度、DNL/INL 等指标参数的优化, 需对单链抽头延迟线 TDC 进行改进. 多链延迟线 TDC 采用多链同步测量方案, 可有效提升分辨率<sup>[5]</sup>. 基于 Artix-7 系列 FPGA 多链延迟

线 TDC 的各项参数取决于测量链数. 伴随测量链数目的上升,分辨率可有效提升,但 DNL/INL 指标会变差,FPGA 资源消耗增多,功耗也会上升. 实验中,六链延迟线 TDC 可充分适应激光雷达探测器的各项要求,具有高分辨率、高 RMS 精度、DNL/INL 参数良好等优势. 如图 3 所示<sup>[5]</sup>,六链延迟线 TDC 需 6 条进位链并行测量,消耗逻辑资源较多,芯片功耗亦会随之上升.

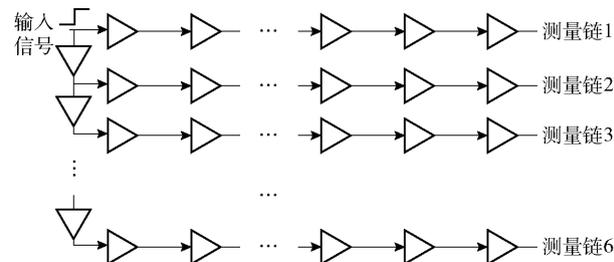
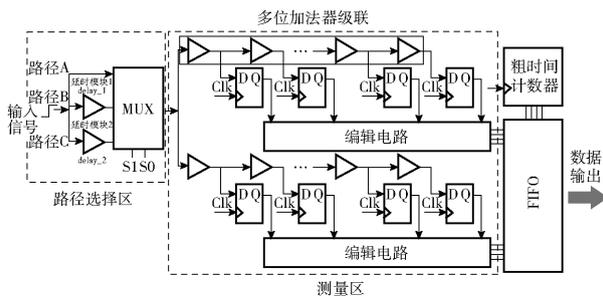


图 3 六链并行 TDC 测量结构

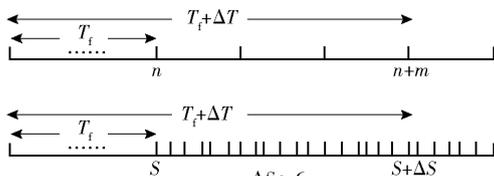
为了进一步优化六链延迟线 TDC 的指标,既保有其优良的分辨率、RMS 精度等参数,同时也减少 FPGA 逻辑资源消耗,降低芯片功耗,设计双链三路 TDC 测量结构. 如图 4(a) 所示,主体结构分为路径选择区和测量区. 路径选择区包括多路选择器 MUX 和延时模块 delay\_1 和 delay\_2. 细时间测量中,多路选择器控制输入信号的流通路径,包括路径 A、路径 B 和路径 C. 测量区包括 2 条测量延时链,测量链由多位加法器级联构成.

方案中,激光雷达采集三路完全相同的时间间隔信号. 在细时间测量模块,由双链三路 TDC 完成高精度测量. 细时间分别位于 Signal\_start 上升沿信号附近与 Signal\_stop 上升沿信号附近. 这里具体分析三路时间在 Signal\_start 上升沿附近的 3 个细时间  $T_i$ .

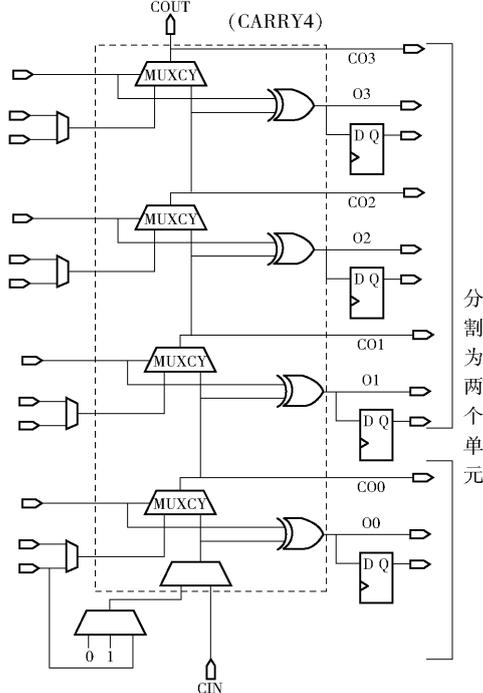
3 个细时间  $T_i$  完全相同,图 4(a) 所示结构将细时间  $T_i$  分为 2 部分,包括路径选择区延时和测量区延时. 路径选择区中,3 条路径的延时时间不同,分别定义为  $t_\alpha$ 、 $t_\beta$ 、 $t_\theta$ . 图 4(a) 中 delay\_1 和 delay\_2 为 2 个不同延时模块, $t_\alpha$  为多路选择器的延时, $t_\beta$  为多路选择器与 delay\_1 的延时总和, $t_\theta$  为多路选择器与 delay\_2 的延时总和. 在测量区中,2 条测量链为加法器级联所构成的进位链,可将 2 条链延时单元的等效延时标记为  $\tau_1$  和  $\tau_2$ . 延时链存在测量非线性, $\tau_1$  和  $\tau_2$  受 FPGA 制造工艺及底层布局布线的影响,但总体说来, $\tau_1 \approx \tau_2$ . 在第 1 条测量链中,细时间  $T_i$  为



(a) 双链三路 TDC 结构



(b) 细时间测量的数学模型



(c) CARRY4 分割方案

图 4 双链三路 TDC 设计方案

$$T_i = t_\alpha + j\tau_1 + \Delta\tau_j (0 < \Delta\tau_j < \tau_1) = t_\beta + k\tau_1 + \Delta\tau_k (0 < \Delta\tau_k < \tau_1) = t_\theta + l\tau_1 + \Delta\tau_l (0 < \Delta\tau_l < \tau_1) \quad (3)$$

第 1 条测量链中的  $\Delta\tau_j$ 、 $\Delta\tau_k$  和  $\Delta\tau_l$  为 3 条路径测量误差. 参数  $t_\alpha$ 、 $t_\beta$  和  $t_\theta$  分别对应 3 条测量路径,基于 3 条路径测量 3 个相同细时间  $T_i$ . 进位链的每个延时单元不可避免地存在差异性,每次测量对应的最后一个延时单元不同,细时间结束点落入小延时单元的概率增大. 同理,第 2 条测量链延时单元延时时间为  $\tau_2$ ,细时间  $T_i$  为

$$T_f = t_\alpha + p\tau_2 + \Delta\tau_p (0 < \Delta\tau_p < \tau_2) = \\ t_\beta + q\tau_2 + \Delta\tau_q (0 < \Delta\tau_q < \tau_2) = \\ t_\theta + r\tau_2 + \Delta\tau_r (0 < \Delta\tau_r < \tau_2) \quad (4)$$

第2条测量链中的  $\Delta\tau_p$ 、 $\Delta\tau_q$  和  $\Delta\tau_r$  为3条路径测量误差. 传统抽头延迟线结构 TDC 中, 细时间  $T_f = n\tau$ , 分辨率  $\tau = T_f/n$ . 双链三路 TDC 可有效实现电路性能的提升. 由式(3)和式(4)可知, 第1条测量链3次测量结果为  $j$ 、 $k$ 、 $l$ , 第2条测量链3次测量结果为  $p$ 、 $q$ 、 $r$ . 采用6个数值总和  $S(S = j + k + l + p + q + r)$  表征细时间  $T_f$ , 细时间的微小变化即可导致  $S$  的改变.

图4(b)为双链三路 TDC 完成细时间测量的数学模型. 图上半部分代表了单链抽头延迟线 TDC 的测量过程, 当细时间数值从  $T_f$  变化至  $T_f + \Delta T$  时, 测量结果从  $n$  变化至  $n + m$ , 分辨率为  $\Delta T/m$ . 图下半部分代表了双链三路 TDC 的测量过程, 当细时间数值从  $T_f$  变化至  $T_f + \Delta T$  时, 6个值  $j$ 、 $k$ 、 $l$ 、 $p$ 、 $q$  和  $r$  分别转变为  $j + m_1$ 、 $k + m_2$ 、 $l + m_3$ 、 $p + m_4$ 、 $q + m_5$  和  $r + m_6$ , 测量结果从  $S$  转变为  $S + \Delta S$  ( $\Delta S = m_1 + m_2 + m_3 + m_4 + m_5 + m_6$ ), 且知  $m \approx m_1 \approx m_2 \approx m_3 \approx m_4 \approx m_5 \approx m_6$ . 即有  $\Delta S \approx 6m$ . 该方案近似将  $\Delta T$  分割为  $\Delta S$  格, 分辨率近似为  $\Delta T/6m$ . 这有效提升了测量分辨率. 实际电路中, 细时间每一格的长度存在差异, 即需综合考虑 TDC 的非线性问题, 还需依据 DNL/INL 特性进行数据校准.

双链三路 TDC 结构与六链 TDC 具有相近测量分辨率. 六链 TDC 并行测量同样可采集6个数据值, 相比之下, 双链三路 TDC 消耗更低的 FPGA 逻辑资源, 进而具有低功耗的优点, 有利于扩展为多通道 TDC.

TDC 中的加法器来源于 FPGA 的 CARRY4 逻辑单元, CARRY4 集成四位加法器, 且 CARRY4 逻辑单元之间存在不可忽略的走线延时. 如图4(c)所示, 为了降低 TDC 测量数据非线性, CARRY4 逻辑单元被分割为2个延时单元<sup>[9]</sup>, 该分割方案可有效改善 DNL/INL 指标.

TDC 调用 pll 倍频生成 400 MHz 时钟信号, 平均每个延时单元为 33 ps, 这意味着需要 76 个延时单元. 电路设计每条测量链包含 40 个 CARRY4 逻辑单元(80 个延时单元), 双链三路 TDC 共包括 160 个延时单元, 三路测量即可获取 6 组 80 位温度计码. 粗测量使用 16 位计算器, 测量范围为 0 ~ 163.83  $\mu$ s.

### 1.3 流水线编码电路

如图5所示, 采用流水线编码电路<sup>[10]</sup>完成6组80位温度计码编码. 相比于直接编码法和折半查找编码方案, 流水线编码可有效节约逻辑资源. 第1阶段, 调用 FPGA 中6输入查找表, 完成6-3 编码二进制输出. 第2阶段, 将所有3 bit 码字两两相加, 输出4 bit 码字. 基于该方法依次累加输出值, 在最后阶段可得出9 bit 编码结果.

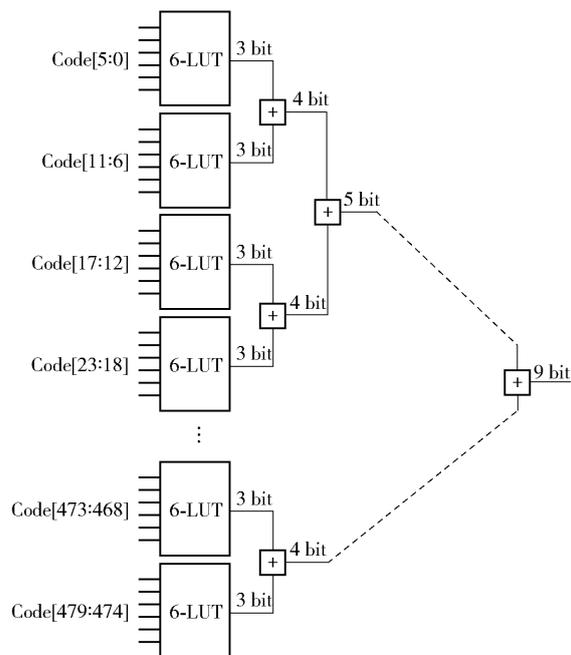


图5 流水线编码电路结构

## 2 码密度校准与温度补偿

### 2.1 码密度校准分析流程与参数测试

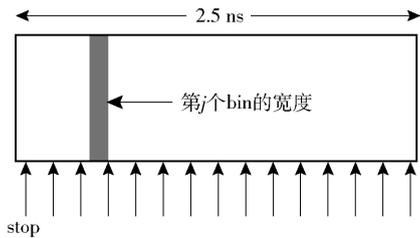
TDC 每个 bin 的宽度存在差异, 码密度统计校准方案可精确确定所有 bin 的宽度值. 大量细时间信号(信号个数为  $N$ )输入 TDC 测量电路,  $T_c$  为时钟周期 2.5 ns, 细时间数值在  $(0, T_c)$  中随机均匀分布, bin 宽越大, 细时间 stop 点落入该 bin 的概率越大, 每个 bin 连接计数器, 统计 stop 点落入该 bin 的次数  $n_j$  (第  $j$  个 bin), 构造离散柱状图, 进而可计算 bin 宽的精确值, 如图6所示, 第  $j$  个 bin 宽度的估计值  $w_j$  为

$$w_j = \frac{n_j}{N} T_c \quad (5)$$

$N$  值越大, 量化误差越小. 时间测量值  $t_j$  为

$$t_j = \sum_{k=0}^j w_k \quad (6)$$

测量误差为 1 个 bin, 时间准确值  $t_d$  的范围为  $t_{j-1} < t_d < t_j + w_j$ , 测量标准差为

图 6 TDC 模型下第  $j$  个 bin 宽数值

$$\sigma^2 = \frac{1}{w_j} \int_{t_{j-1}}^{t_j} (t - t_d)^2 dt = \frac{(t_j - t_d)^3 - (t_{j-1} - t_d)^3}{3w_j} \quad (7)$$

当  $d\sigma^2/dt_d = 0$  时,  $t_d = t_{j-1} + w_j/2$ , 标准差最小,

$\sigma^2 = w_j^2/12$ , 因此定义  $t_j$  为

$$t_j = \sum_{k=0}^{j-1} w_k + \frac{w_j}{2} \quad (8)$$

等效标准差即为

$$\sigma_{\text{eq}}^2 = \sum_{i=1}^n \frac{w_i^2 w_i}{12T_{\text{clk}}} \left( T_{\text{clk}} = \sum w_i \right) \quad (9)$$

通过测量可知, 最低有效位 (LSB, least significant bit) 用于表征双链三路 TDC 的测量分辨率, 数值为 5.63 ps. 当输入时间间隔数据为 120 ns 时, RMS 精度为 11.7 ps (27 °C).

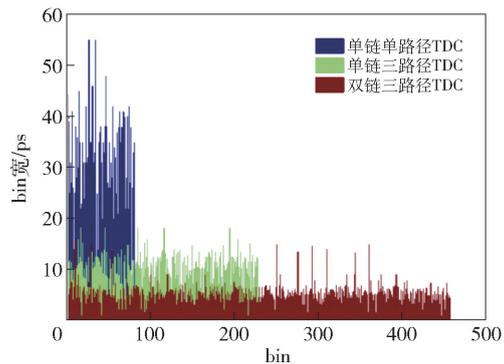
## 2.2 TDC 非线性分析

图 7(a) 显示了码密度方案测试结果, 为做全面分析, 将单链单路 TDC、单链三路 TDC 和双链三路 TDC 共同比较. 后两者显然有效提升了测量分辨率. DNL 和 INL 为

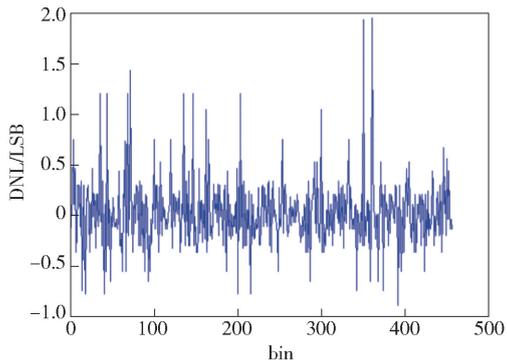
$$\left. \begin{aligned} D[k]_{\text{DNL}} &= \frac{(w[k] - Q)}{Q} \\ I[k]_{\text{INL}} &= \sum_{n=0}^k D[k]_{\text{DNL}} \end{aligned} \right\} \quad (10)$$

其中:  $Q$  为理想 bin 宽值,  $W[k]$  为实际测量值. 由图 7 可知, DNL 为  $[-0.79, 1.87]$  LSB ( $-4.45 \sim 10.53$  ps), INL 为  $[-1.94, 3.04]$  LSB ( $-10.92 \sim 17.12$  ps). RAM 预先存储所有 bin 数据值, 完成在线校准<sup>[11]</sup>.

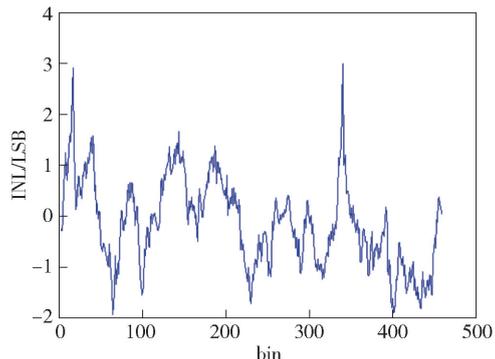
经测试, 由表 1 可知, 六链并行 TDC 的等效分



(a) 3种不同TDC bin宽分布



(b) 双链三路TDC微分非线性



(c) 双链三路TDC积分非线性

图 7 TDC 电路参数测试结果

辨率为 5.87 ps, RMS 测量精度为 10.4 ps; 双链三路 TDC 在分辨率、RMS 精度、DNL/INL 等指标上同样性能优良, 相比于六链并行 TDC, 该电路占用的 FPGA 逻辑资源降低约 43.1%, 进而降低了芯片功耗, 功耗降低约 36.8%.

表 1 六链并行 TDC 与双链三路 TDC 的性能对比

指标	LSB/ps	RMS/ps	DNL/ps	INL/ps	Slice 寄存器	Slice LUTs	功耗/W
六链并行 TDC	5.87	10.4	(-4.97, 11.67)	(-9.11, 16.51)	2 064	1 750	0.652
双链三路 TDC	5.63	11.7	(-4.45, 10.53)	(-10.92, 17.12)	1 152	1 018	0.412

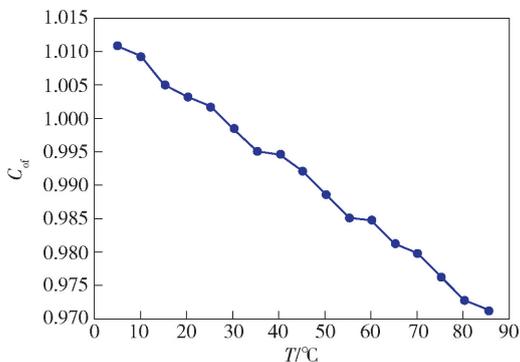
### 2.3 温度补偿修正

TDC 中的 bin 宽受温度的影响而改变, 这种改变来源于载流子迁移率的变化. 由式(2)可知, 延时单元的总延时由 4 部分构成, 迁移率上升, 电路载流子漂移速度上升, 电容充放电延时下降, 延时单元的延时时间随之缩短, TDC 的 bin 宽( $B_w$ )与迁移率存在关系:

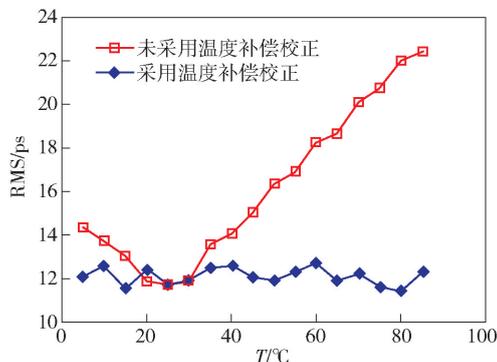
$$B_w(T) \propto \frac{1}{\mu} \propto \frac{N_i}{T^{3/2}} + N_s T^{3/2} + \frac{N_o}{\exp\left(\frac{\hbar\omega_l}{k_0 T}\right) - 1} \quad (11)$$

其中: $N_i$ 、 $N_s$ 和 $N_o$ 为常数, $T$ 为绝对温度, $k_0$ 为玻耳兹曼常数, $\hbar$ 为约化普朗克常数, $\omega_l$ 为光波角频率. 在 Artix\_7 系列 FPGA 中, 调用赛灵思模数转换器(XADC, Xilinx analog to digital converter)模块, 可以有效检测 FPGA 芯片温度. XADC 模块中集成了温度传感器, 以 5 °C 为测量步长, 等效 bin 宽与温度近似线性相关, 当温度从 5 °C 上升到 85 °C 时, 等效 bin 宽由 5.69 ps 降低至 5.47 ps. 由式(8)可知, 时间测量中, bin 宽数值的累加, 导致测量误差增大.

为完成测量修正, 设计温度补偿方案. 引入温度校准系数  $C_{of}$  完成测量修正. 由测试结果图 8(a)



(a) 温度对等效bin宽的影响



(b) 温度补偿前后RMS精度变化

图8 TDC 温度校正分析

可知, 校准系数  $C_{of}$  与温度近似线性相关:

$$C_{of} = 1.013 - 0.00049T \quad (12)$$

$$T_j = C_{of} t_j$$

其中: $t_j$ 为原始时间测量数据, $T_j$ 为修正后的测量数据. 当温度为 27 °C (300 K) 时,  $C_{of} = 1$ , 等效 bin 宽为 5.63 ps. 经过校准, 温度从 5 °C 变化至 85 °C, 如图 8(b) 所示, RMS 精度显著优化.

### 3 结束语

TDC 的指标直接决定激光雷达的参数性能, 基于低成本 Artix-7 系列 FPGA 设计双链三路 TDC, 具有高分辨率、RMS 精度高、可温度补偿等优势. 使用 6 个数据表征 TDC 测量值, 等效分辨率提升至 5.63 ps. 流水线编码电路可有效提高逻辑资源利用率, 采用码密度方案逐一确定 bin 宽的精确值和等效分辨率. 调用 FPGA 中的 XADC 模块测量芯片温度, 在 5 ~ 85 °C 的温度范围内, 完成补偿修正, RMS 精度显著优化. 相比于六链延迟线 TDC, 双链三路 TDC 具有相近的指标参数, 并使 FPGA 逻辑资源使用率降低了 43.1%, 芯片功耗降低了 36.8%. 该工作为其他系列 FPGA 设计 TDC 提供了技术参考.

### 参考文献:

- [1] Xu Zhongyang, Tang Liangzun, Zhang Hongxiang, et al. Simultaneous real-time ranging and velocimetry via a dual-sideband chirped lidar[J]. IEEE Photonics Technology Letters, 2017, 29(24): 2254-2257.
- [2] 尹俊, 倪发福, 张建川, 等. 基于 FPGA 与 GPS 的时间测量电路设计与实现[J]. 原子能科学技术, 2019, 53(1): 151-157.  
Yin Jun, Ni Fafu, Zhang Jianchuan, et al. Design and realization of time measurement based on FPGA and GPS [J]. Atomic Energy Science and Technology, 2019, 53(1): 151-157.
- [3] Bayer E, Traxler M. A high-resolution (< 10 ps RMS) 48-channel time-to-digital converter(TDC) implemented in a field programmable gate array(FPGA) [J]. IEEE Transactions on Nuclear Science, 2011, 58(1): 1547-1552.
- [4] Pan Weibin, Gong Guanghua, Li Jianmin. A 20-ps time-to-digital converter(TDC) implemented in field-programmable gate array (FPGA) with automatic temperature correction [J]. IEEE Transactions on Nuclear Science, 2014, 6(3): 1468-1473.

- [5] Shen Qi, Liu Shubin, Qi Binxiang, et al. A 1.7 ps equivalent bin size and 4.2 ps RMS FPGA TDC based on multichain measurements averaging method [J]. IEEE Transactions on Nuclear Science, 2015, 62(3): 947-954.
- [6] Chen Haochang, Zhang Yongliang, David Day-Uei Li. A low nonlinearity missing-code free time-to-digital converter based on 28-nm FPGAs with embedded bin width calibrations [J]. IEEE Transactions on Instrumentation & Measurement, 2017, 66(7): 1912-1921.
- [7] 王丹, 王健, 来金梅. 一种基于 FPGA 快速进位链的时间数字转换电路 [J]. 复旦大学学报(自然科学版), 2016, 55(1): 59-67.  
Wang Dan, Wang Jian, Lai Jinmei. A FPGA-based time-to-digital converter(TDC) using carry chains [J]. Journal of Fudan University (Natural Science), 2016, 55(1): 59-67.
- [8] Jan M Rabaey, Anantha C. Digital integrated circuits: a design perspective [M]. Second Edition. Beijing: Publishing House of Electronics Industry, 2004: 313-316.
- [9] Zhao Lei, Hu Xueye, Liu Shubin, et al. The design of a 16-channel 15 ps TDC implemented in a 65 nm FPGA [J]. IEEE Transactions on Nuclear Science, 2013, 60(5): 3532-3536.
- [10] Wang Yonggang, Kuang Jie, Liu Chong, et al. A 3.9-ps RMS precision time-to-digital converter using ones-counter encoding scheme in a Kintex-7 FPGA [J]. IEEE Transactions on Nuclear Science, 2017, 64(10): 2713-2718.
- [11] Liu Chong, Wang Yonggang. A 128-channel, 710M samples/second, and less than 10 ps RMS resolution time-to-digital converter implemented in a Kintex-7 FPGA [J]. IEEE Transactions on Nuclear Science, 2013, 62(3): 773-783.